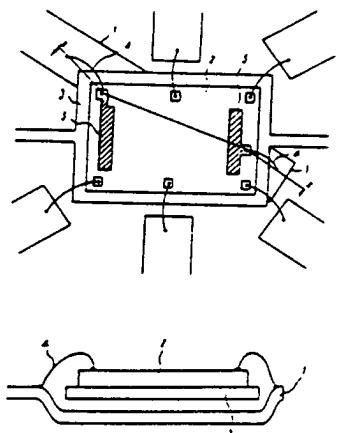


JP 401269275 A  
NOV 1989**(54) SEMICONDUCTOR DEVICE**

(11) 1-289276 (A) (43) 21.11.1989 (19) JP  
(21) Appl. No. 63-120908 (22) 17.5.1988  
(71) MITSUBISHI ELECTRIC CORP (72) YOSHINAGA INOUE  
(51) Int. Cl. H01L23/50, H01L21/52

**PURPOSE:** To make a semiconductor chip small-sized and to reduce an influence by a noise or the like with reference to other signal lines by a method wherein one power supply or signal is connected by using two or more conductors from both sides of the semiconductor chip.

**CONSTITUTION:** One or more lead frames 1 are arranged at the upper side or the lower side of a die pad 3 where a semiconductor chip 2 is mounted and two or more conductors 4 are connected to both sides of the semiconductor chip 2 from the lead frames 1. Accordingly, it is not required that power-supply lines 5 or signal lines on the semiconductor chip 2 are wired from one end to the other end of the semiconductor chip 2. By this setup, the semiconductor chip 2 can be made small-sized and it is possible to reduce an influence by a noise or the like with reference to other signal lines.



257  
691

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 平1-289276

⑬ Int.Cl.

H 01 L 23/50  
21/52

識別記号

庁内整理番号

X-7735-5F  
A-8728-5F

⑭ 公開 平成1年(1989)11月21日

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 半導体装置

⑯ 特願 昭63-120908

⑰ 出願 昭63(1988)5月17日

⑱ 発明者 井上 好永 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹

製作所内

⑲ 出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代理人 井理士 大岩 増雄 外2名

明細書

1. 発明の名称

半導体装置

2. 特許請求の範囲

半導体集積回路チップを載せるダイ・パクドの下側又は上側に、1つ又はそれ以上の外部信号及び電源を伝えるリード・フレームを配置し、そのリード・フレームから、2本又はそれ以上の導線により接続したことを特徴とする半導体装置。

3. 発明の詳細な説明

(発明の利用分野)

この発明は、半導体集積回路のフレーム構造、及びフレームとチップをつなぐ導線を接続する組立技術に関するものである。

(従来の技術)

第3図は従来の半導体装置を示すものであり、图において、(1)はリード・フレーム、(2)は半導体チップ、(3)は半導体チップ(2)を載せるダイパクド、(4)はリード・フレーム(1)と半導体チップ(2)との間に接続され電源を伝える導線、(5)は半導体チップ

(6)上に配置された電源線である。1つのリード・フレーム(1)に対して、1本の導線(4)により半導体チップ(2)に接続され半導体チップ(2)上の電源線(5)に電源が伝えられる。

(発明が解決しようとする課題)

従来の半導体装置は、以上のように構成されているため、1つの電源線や信号線が半導体チップ上において、端から端へと引き回さなければならず、半導体チップの大きさが大きくなつたり、いろいろな凹凸を配置できなくなるばかりでなく、また、他の信号線から生ずるノイズ等の影響を受けたり、他の信号線に影響を及ぼしやすいなどの問題点があつた。

この発明は上記のような問題点を解消するためになされたもので、半導体チップ上において、電気溝等は引き回さざくともよい、半導体チップの大きさを小さくしたり、いろいろな凹凸を配置したり、また、他の信号線とのノイズ等の影響が少ない電気特性の良い半導体装置を得ることを目的とする。

特開平1-289276(2)

〔課題を解決するための手段〕

この発明に係る半導体装置は、半導体チップを載せるダイ・パッドの下側又は上側に、1つ又はそれ以上のリード・フレームを配置し、そのリード・フレームより半導体チップへと2本又はそれ以上の導線により接続したものである。

〔作用〕

この発明における半導体装置は、ある1つの導線又は信号を半導体チップの両サイドから2本又はそれ以上の導線を用いて接続することにより、半導体チップ上で端から端へと電線又は信号線を引き回した配線をしなくて済む。

〔実施例〕

以下、この発明の一実施例を図について説明する。図1図は半導体装置の上面図、図2図は図1図のI-I'にかける断面図である。図において、(1)～(5)は図3図の従来例に示したものと同様であるので説明を省略する。リード・フレーム(1)はダイ・パッド(3)の下側、すなわち、半導体チップ(2)が載っている面の反対側にダイパッド(3)と接続しないで配線しなくても済むため、半導体チップを小さくできたり、他の回路を配線したり、また、他の信号線とのノイズ等の影響を及ぼし合いにくくなり、電気特性上、良質なものが得られる効果がある。

4. 図面の簡単な説明

図1図はこの発明の一実施例による半導体装置の上面図、図2図は図1図のI-I'にかける断面図、図3図は従来の半導体装置を示す上面図である。

図において、(1)はリード・フレーム、(2)は半導体チップ、(3)はダイ・パッド、(4)は導線、(5)は電線である。

なお、図中同一符号は同一又は相当部分を示す。

いように記載されている。リード・フレーム(1)からは2本の導線(4)により、半導体チップの両サイドへ接続されている。

以上により、半導体チップ(2)上に記載された電線(5)は図1図に示すごとく、従来例に比べて2分弱となつていて。

なお、上記の実施例では、リード・フレーム(1)の内1つがダイ・パッド(3)の下側に配置されていたが、上側でも良く、リード・フレーム(1)は2つでも、それ以上でも良い。

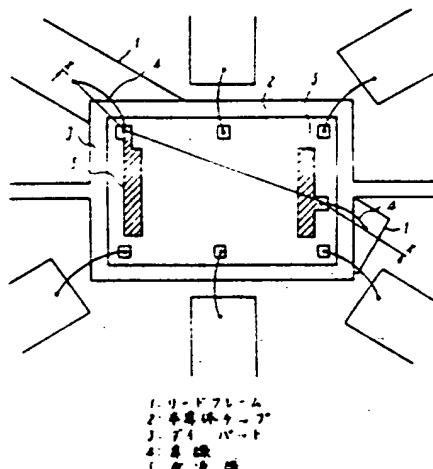
また、1つのリード・フレーム(1)より2本の導線(4)が半導体チップ(2)に接続されていたが、3本でも、それ以上でも良い。

また、電線(5)であつたが、信号線でも良い。

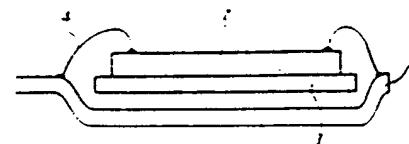
〔発明の効果〕

以上のように、この発明によれば、ダイパッドの下側、又は上側にリード・フレームを配置し、半導体チップの両サイドから電線又は信号線を接続するように構成したので、半導体チップ上の電線又は信号線を半導体チップ上を端から端まで

第1図



第2図



特開平1-289276 (3)

第3図

